



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0041448
Application Number

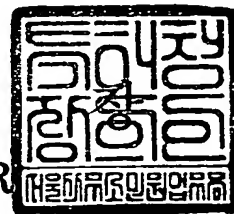
출 원 년 월 일 : 2003년 06월 25일
Date of Application JUN 25, 2003

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 10 일

특 허 청
COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0011
【제출일자】	2003.06.25
【국제특허분류】	G11C
【발명의 명칭】	감지 증폭기 드라이버 및 이를 구비하는 반도체 장치
【발명의 영문명칭】	Sense amplifier driver and semiconductor device having the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	송태중
【성명의 영문표기】	SONG, Tae Joong
【주민등록번호】	710421-1233819
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 860번지 신영동 현대타운 306동 1002호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)



1020030041448

출력 일자: 2003/12/17

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 22 면 22,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 21 항 781,000 원

【합계】 832,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

감지 증폭기 드라이버 및 이를 구비하는 반도체 장치가 개시된다. 감지 증폭기를 인에이블시키기 위한 인에이블 신호를 출력하는 감지 증폭기 드라이버는 입력신호를 수신하고, 비활성화된 메모리 블록에 존재하는 적어도 하나의 트랜지스터에 흐르는 오프 전류의 양에 의하여 결정되는 제어전압과 접지전압사이를 스윙하는 출력신호를 출력하는 제1인버터; 및 상기 제1인버터의 출력신호를 수신하고, 상기 제1인버터의 출력신호를 상기 제어전압의 레벨에 반비례하는 시간만큼 지연시켜 버퍼링하는 제2인버터를 구비한다. 상기 인에이블 신호의 활성화시점은 상기 제어전압의 레벨에 따라 가변된다. 상기 반도체 장치는 상기 인에이블 신호에 응답하여 데이터를 검출한다.

【대표도】

도 6

【색인어】

감지 증폭기 드라이버, 감지 증폭기

【명세서】**【발명의 명칭】**

감지 증폭기 드라이버 및 이를 구비하는 반도체 장치{Sense amplifier driver and semiconductor device having the same}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 반도체 메모리 장치에 사용되는 일반적인 메모리 셀을 나타낸다.

도 2는 일반적인 감지 증폭기 드라이버를 구비하는 반도체 장치의 블록도이다.

도 3은 도 2에 도시된 감지 증폭기 드라이버의 입출력 파형을 나타내는 타이밍 도이다.

도 4는 도 2에 도시된 감지 증폭기 드라이버의 블록도이다.

도 5는 도 3에 도시된 인버터의 구체적인 회로도이다.

도 6은 본 발명에 따른 감지 증폭기 드라이버를 구비하는 반도체 장치의 블록도이다.

도 7은 도 6에 도시된 감지 증폭기 드라이버의 입출력 파형을 나타내는 타이밍 도이다.

도 8은 도 6에 도시된 지연 제어신호 발생회로의 실시예를 나타내는 회로도이다.

도 9는 도 6에 도시된 감지 증폭기 드라이버의 제1실시예를 나타내는 회로도이다.

도 10은 도 6에 도시된 감지 증폭기 드라이버의 제2실시예를 나타내는 회로도이다.

도 11은 일반적인 NMOS 트랜지스터의 V_{ds}/V_{gs} 의 변화에 따른 온 전류의 변화를 나타내는 그래프이다.



도 12는 종래의 감지 증폭기 드라이버의 각 노드의 파형과 본 발명의 실시예에 따른 감지 증폭기 드라이버의 각 노드의 파형을 나타낸다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는 고온 및 패스트 공정으로 제조되는 반도체 장치에서 오프 전류의 영향을 배제할 수 있는 감지 증폭기 드라이버 및 이를 구비하는 반도체 장치에 관한 것이다.
- <15> 또한, 오프 전류의 영향을 배제한 감지 증폭기 인에이블 신호 발생 방법 및 이를 이용한 데이터 검출 방법에 관한 것이다.
- <16> 도 1은 반도체 메모리 장치에 사용되는 일반적인 메모리 셀을 나타낸다. 도 1을 참조하면, 메모리 셀(10)은 하나의 트랜지스터(11)와 하나의 커패시터(12)로 구성된다.
- <17> 일반적으로 트랜지스터(11)의 게이트는 워드라인(WL)에 접속되고, 트랜지스터(11)의 일단은 비트라인(BL)에 접속되고, 데이터 저장을 위한 커패시터(12)는 트랜지스터(11)의 타단과 접지전압(VSS)사이에 접속된다.
- <18> 딥 서브마이크론 기술(deep submicron technology)이 발전함에 따라, 트랜지스터(11)의 성능을 향상시키기 위하여 트랜지스터(11)의 문턱전압(threshold voltage)은 점점 낮아진다. 여기서 트랜지스터(11)의 성능은 턴-온 상태의 트랜지스터(11)가 흘릴 수 있는 전류(I_{dsat})의 양으로 나타낼 수 있다.



- <19> 그러나 트랜지스터(11)의 문턱전압이 낮아지면, 턴-온 상태의 트랜지스터 (11)가 흘릴 수 있는 전류의 양(이하 '온 전류'라 한다; I_{dsat})이 증가하는 반면, 이와 동시에 턴-오프 상태의 트랜지스터(11)에서 흐르는 누설전류의 양(이하 '오프 전류'라 한다; I_{off})도 증가한다.
- <20> 일반적으로 오프 전류(I_{off})는 온도, 전압 또는 공정(패스트(fast) 또는 슬로우(slow))의 변화에 따라 변한다. 예컨대 패스트 공정은 온 전류(I_{dsat})가 큰 트랜지스터를 제조할 수 있는 공정을 말하는 반면, 슬로우 공정은 온 전류(I_{dsat})가 작은 트랜지스터를 제조할 수 있는 공정을 말한다.
- <21> 그러나 특정의 조건(예컨대 고온 및 패스트 공정)에서 오프 전류(I_{off})는 온 전류(I_{dsat})에 영향을 줄 정도로 증가한다. 특히 다수개의 메모리 셀들이 어레이를 이루는 구조에서 고온 및 패스트 공정에서의 온 전류(I_{dsat})와 오프 전류(I_{off})의 차이를 볼 때, 상기 메모리 셀의 문턱전압을 낮춤으로서 얻는 이점이 상당히 감소한다.
- <22> 메모리 셀을 구비하는 메모리 장치를 설계하는 경우, 오프 전류 때문에 상기 메모리 셀의 문턱전압을 감소시킬 수 있는 한계가 존재한다.
- 【발명이 이루고자 하는 기술적 과제】**
- <23> 따라서 본 발명이 이루고자 하는 기술적인 과제는 메모리 셀의 문턱전압이 작아짐으로서 오프전류가 상당히 증가되는 조건, 예컨대 고온 및 패스트 공정에서 오프전류 때문에 상기 메모리 셀을 구비하는 반도체 장치의 전체적인 성능이 저하되지 않도록 오프전류를 고려한 감지 증폭기 드라이버 및 이를 구비하는 반도체 장치를 제공하는 것이다.
- <24> 또한, 본 발명이 이루고자 하는 다른 기술적인 과제는 오프 전류의 영향을 배제한 감지 증폭기 인에이블 신호 발생 방법 및 이를 이용한 데이터 검출 방법에 관한 것이다.



【발명의 구성 및 작용】

<25> 상기 기술적 과제를 달성하기 위한 감지 증폭기를 인에이블시키기 위한 인에이블 신호를 출력하는 감지 증폭기 드라이버는 입력신호를 수신하고, 비활성화된 메모리 블록에 존재하는 적어도 하나의 트랜지스터에 흐르는 오프 전류의 양에 의하여 결정되는 제어전압과 접지전압사이를 스윙하는 출력신호를 출력하는 제1인버터; 및 상기 제1인버터의 출력신호를 수신하고, 상기 제1인버터의 출력신호를 상기 제어전압의 레벨에 반비례하는 시간만큼 지연시켜 버퍼링하는 제2인버터를 구비한다. 상기 인에이블 신호의 활성화시점은 상기 제어전압의 레벨에 따라 가변된다.

<26> 상기 기술적 과제를 달성하기 위한 제1인버터 및 제2인버터를 구비하는 감지 증폭기 드라이버에 있어서, 상기 제1인버터는 입력신호를 수신하는 게이트, 비활성화된 메모리 블록에 존재하는 적어도 하나의 트랜지스터에 흐르는 오프 전류의 양에 반비례하는 제어전압을 수신하는 제1전극 및 상기 제1인버터의 출력단에 접속되는 제2전극을 구비하는 제1풀-업 트랜지스터; 및 상기 입력신호를 수신하는 게이트, 접지전압에 접속되는 제1전극 및 상기 출력단에 접속되는 제2전극을 구비하는 제2풀-다운 트랜지스터를 구비하며, 상기 제2인버터는 상기 제1인버터의 출력단에 접속되는 게이트, 전원전압에 접속되는 제1전극 및 상기 제2인버터의 출력단에 접속되는 제2전극을 구비하는 제2풀-업 트랜지스터; 상기 제1인버터의 출력단에 접속되는 게이트, 제1전극 및 상기 제2인버터의 출력단에 접속되는 제2전극을 구비하는 제2풀-다운 트랜지스터; 상기 제1인버터의 상기 제1풀-업 트랜지스터의 제1전극에 접속되는 게이트, 상기 접지전압에 접속되는 제1전극 및 상기 제2풀-다운 트랜지스터의 제1전극에 접속되는 제2전극을 구비하는 제1트랜지스터; 및 상기 제2인버터의 출력단과 상기 접지전압 사이에 접속되는 커패시터를 구비한다.



- <27> 상기 감지 증폭기 드라이버는 상기 제2풀-다운 트랜지스터의 제1전극과 상기 제1트랜지스터의 제2전극사이에 접속되는 제2트랜지스터를 더 구비하며, 상기 제2트랜지스터의 게이트는 상기 제1번째 인버터의 제1전극에 접속된다.
- <28> 상기 기술적 과제를 달성하기 위한 감지 증폭기 드라이버는 직렬로 접속된 N (여기서 N 은 자연수)개의 인버터들을 구비하며, 상기 N 개의 인버터들 중에서 $(n-1)$; 여기서 n 은 2보다 큰 자연수)번째 인버터는, 입력신호를 수신하는 게이트, 다수개의 트랜지스터들 각각을 흐르는 오프 전류의 양에 의하여 결정되는 제어전압을 수신하는 제1전극 및 상기 $(n-1)$ 번째 인버터의 출력단에 접속되는 제2전극을 구비하는 제1풀-업 트랜지스터; 및 상기 입력신호를 수신하는 게이트, 접지전압에 접속되는 제1전극 및 상기 $(n-1)$ 번째 인버터의 출력단에 접속되는 제2전극을 구비하는 제2풀-다운 트랜지스터를 구비하며, 상기 N 개의 인버터들 중에서 n 번째 인버터는 상기 $(n-1)$ 번째 인버터의 출력단에 접속되는 게이트, 전원전압에 접속되는 제1전극 및 상기 n 번째 인버터의 출력단에 접속되는 제2전극을 구비하는 제2풀-업 트랜지스터; 상기 $(n-1)$ 번째 인버터의 출력단에 접속되는 게이트, 제1전극 및 상기 n 번째 인버터의 출력단에 접속되는 제2전극을 구비하는 제2풀-다운 트랜지스터; 상기 제1풀-업 트랜지스터의 제1전극에 접속되는 게이트, 상기 접지전압에 접속되는 제1전극 및 상기 제2풀-다운 트랜지스터의 제1전극에 접속되는 제2전극을 구비하는 제1트랜지스터; 및 상기 n 번째 인버터의 출력단과 상기 접지전압 사이에 접속되는 커패시터를 구비한다.
- <29> 상기 기술적 과제를 달성하기 위한 메모리 장치는 다수개의 메모리 셀들을 구비하는 메모리 셀 어레이; 적어도 하나의 트랜지스터에 흐르는 오프 전류의 양에 따라 결정되는 전압을 갖는 지연제어신호를 발생하는 지연제어신호 발생회로; 클락신호를 수신하고, 상기 지연 제어신호의 전압에 따라 상기 클락신호를 버퍼링하는 시간을 조절하고, 그 조절결과로서 감지 증폭



기 인에이블 신호를 출력하는 감지 증폭기 드라이버; 및 상기 감지 증폭기 인에이블 신호에 응답하여 상기 메모리 셀 어레이의 데이터를 감지하고 증폭한다.

<30> 상기 감지 증폭기 드라이버는 상기 클락신호를 수신하고, 상기 오프 전류의 양에 따라 결정되는 전압과 접지전압사이를 스윙하는 출력신호를 출력하는 제1인버터; 및 상기 제1인버터의 출력신호를 수신하고, 상기 제1인버터의 출력신호를 상기 오프 전류의 양에 따라 결정되는 전압의 레벨에 반비례하는 시간만큼 지연시켜 버퍼링하는 제2인버터를 구비한다.

<31> 상기 기술적 과제를 달성하기 위한 메모리 장치는 다수개의 메모리 셀들을 구비하는 메모리 셀 어레이; 소정의 전압으로 프리차지되는 더미 비트라인과 상보 더미 비트라인, 접지전압에 각각 접속된 다수개의 워드라인들, 및 다수개의 게이팅 트랜지스터들을 구비하며, 상기 다수개의 게이팅 트랜지스터들 각각의 게이트는 대응되는 상기 워드라인에 접속되고 상기 다수개의 게이팅 트랜지스터들 각각의 제1전극은 상기 더미 비트라인에 접속되고, 상기 더미 비트라인의 전압은 상기 다수개의 게이팅 트랜지스터들 각각을 흐르는 오프 전류에 의한 전압강하에 따라 결정되는 지연제어신호 발생회로; 클락신호를 수신하고, 상기 더미 비트라인의 전압에 따라 상기 클락신호를 버퍼링하는 시간을 조절하고, 그 조절결과로서 감지 증폭기 인에이블 신호를 출력하는 감지 증폭기 드라이버; 및 상기 감지 증폭기 인에이블 신호에 응답하여 상기 메모리 셀 어레이의 데이터를 감지하고 증폭하는 감지 증폭기를 구비한다.

<32> 상기 기술적 과제를 달성하기 위한 메모리 장치는 다수개의 메모리 셀들을 구비하는 메모리 셀 어레이; 전원전압으로 프리차지 되는 제1전극, 접지전압에 공통으로 접속되는 게이트와 제2전극을 구비하는 지연제어신호 발생회로; 클락신호를 수신하고, 상기 제1전극의 전압에 따라 상기 클락신호를 버퍼링하는 시간을 조절하고, 그 조절결과로서 감지 증폭기 인에이블 신호



호를 출력하는 감지 증폭기 드라이버; 및 상기 감지 증폭기 인에이블 신호에 응답하여 상기 메모리 셀 어레이의 데이터를 감지하고 증폭하는 감지 증폭기를 구비한다.

<33> 상기 기술적 과제를 달성하기 위한 감지 증폭기를 인에이블시키기 위한 인에이블 신호를 출력하는 방법은 입력신호를 수신하고, 비활성화된 메모리 블록에 존재하는 적어도 하나의 트랜지스터에 흐르는 오프 전류의 양에 반비례하는 제어전압과 접지전압사이를 스윙하는 출력신호를 출력하는 단계; 및 상기 출력신호를 수신하고, 상기 출력신호를 상기 제어전압의 레벨에 반비례하는 시간만큼 지연시켜 버퍼링하고, 상기 인에이블 신호를 출력하는 단계를 구비한다.

<34> 상기 기술적 과제를 달성하기 위한 데이터 검출방법은 적어도 하나의 트랜지스터에 흐르는 오프 전류의 양에 따라 결정되는 전압을 갖는 지연제어신호를 발생하는 단계; 클락신호를 수신하고, 상기 지연 제어신호의 전압에 따라 상기 클락신호를 버퍼링하는 시간을 조절하고, 그 조절결과로서 감지 증폭기 인에이블 신호를 출력하는 단계; 및 상기 감지 증폭기 인에이블 신호에 응답하여 메모리 셀 어레이의 데이터를 감지하고 증폭하는 단계를 구비한다.

<35> 상기 감지 증폭기 인에이블 신호를 출력하는 단계는 상기 클락신호를 수신하고, 상기 오프 전류의 양에 따라 결정되는 전압과 접지전압사이를 스윙하는 출력신호를 출력하는 단계; 및 상기 출력신호를 수신하고, 상기 출력신호를 상기 오프 전류의 양에 따라 결정되는 전압의 레벨에 반비례하는 시간만큼 지연시켜 버퍼링하고, 그 버퍼링 결과로서 상기 감지 증폭기 인에이블 신호를 출력하는 단계를 구비한다.

<36> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.



- <37> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <38> 도 2는 일반적인 감지 증폭기 드라이버를 구비하는 반도체 장치의 블록도이다. 도 2를 참조하면, 반도체 장치(200)는 메모리 셀 어레이(201), 감지 증폭기 드라이버(250) 및 감지 증폭기(270)를 구비한다.
- <39> 메모리 셀 어레이(201)는 제1메모리 블록(210) 및 제2메모리 블록(230)을 구비한다. 메모리 셀 어레이(201)는 다수개의 게이팅 트랜지스터들(211-1, 211-2, 211-3, ..., 211-n, 219-1, 219-2, 216-9, ..., 219-n)과 다수개의 데이터 저장회로들 (215-1, 215-2, 215-3, ..., 215-n)을 구비한다.
- <40> 도 2에 도시된 메모리 셀 어레이(201)는 행들(rows)방향으로 오프 전류(Ioff)의 영향을 가장 크게 받을 수 있는 구조라고 가정한다.
- <41> 다수개의 데이터 저장회로들(215-1, 215-2, 215-3, ..., 215-n)각각은 두 개씩의 인버터들로 구성되는 래치로 구현된다.
- <42> 각 인버터는 당업계에서 잘 알려진 바와 같이 직렬로 접속된 하나의 PMOS 트랜지스터 및 하나의 NMOS 트랜지스터로 구성된 CMOS 인버터로 구현된다.
- <43> 감지 증폭기 드라이버(250)는 클락신호(CK)를 수신하고, 일정시간이 경과된 후 감지 증폭기(270)를 인에이블시키기 위한 감지 증폭기 인에이블 신호(SENSE)를 발생한다.
- <44> 감지 증폭기(270)는 감지 증폭기 인에이블 신호(SENSE)에 응답하여 비트라인 (BL)과 상보 비트라인(BLB)사이의 전압차이를 감지하고, 그 전압차이를 증폭한다.

- <45> 예컨대 비트라인(BL)의 전압(V_{BL}) 및 상보 비트라인(BLB)의 전압(V_{BLB})이 전원전압(VDD)으로 프리차지되어 있고, 각 노드(217-1, 213-2, 213-3, ..., 213-n)의 전압이 0V이고, 각 노드(213-1, 217-2, 217-3, ..., 217-n)의 전압이 전원전압(VDD)이라고 가정한다.
- <46> 다수개의 워드라인들(WL1, WL2, WL3, ..., WLn)중에서 워드라인(WL1)만 활성화되면, 상보 비트라인(BLB)의 전압(V_{BLB})은 수학적식1과 같이 표현된다.
- <47> **【수학적식 1】** $V_{BLB} = VDD - \Delta V1$
- <48> 여기서 $\Delta V1$ 은 온 전류(I_{dsat})에 의한 전압강하를 나타낸다. 온 전류(I_{dsat})는 트랜지스터(219-1)와 인버터(IN1)의 NMOS 트랜지스터를 통하여 접지전압으로 흐른다. 따라서 $\Delta V1$ 의 크기는 온 전류(I_{dsat})에 의하여 결정된다.
- <49> 또한, 이 경우 비트라인(BL)의 전압(V_{BL})은 수학적식 2와 같이 표현된다.
- <50> **【수학적식 2】** $V_{BL} = VDD - \Delta V2$
- <51> 여기서 $\Delta V2$ 는 오프 전류(I_{off})에 의한 전압강하를 나타낸다. 이 경우 제2메모리 블록(230)의 각 트랜지스터(211-2, 211-3, ..., 211-n)를 통하여 흐르는 각 오프 전류(I_{off})는 모두 동일하다고 가정한다.
- <52> 오프 전류(I_{off})는 각 트랜지스터(211-2, 211-3, ..., 211-n; 여기서 n은 자연수) 및 각 인버터의 NMOS 트랜지스터를 통하여 접지전압으로 흐른다. 따라서 $\Delta V2$ 의 크기는 오프 전류(I_{off})에 의하여 결정된다. 따라서 제1메모리 블록(210)은 활성화된 블록을 나타내고, 제2메모리 블록(230)은 비활성화된 블록을 나타낸다.

- <53> 감지 증폭기 드라이버(250)는 워드라인(WL1)이 활성화된 후 비트라인(BL)의 전압(V_{BL})과 상보 비트라인(BLB)의 전압(V_{BLB})사이의 수학적 3으로 표현되는 전압차이(VD)가 발생하는 경우 감지 증폭기 에이블 신호(SENSE)를 발생한다.
- <54> 【수학적 3】 $VD = V_{BL} - V_{BLB} = \Delta V1 - \Delta V2$
- <55> 따라서 반도체 장치의 성능(예컨대 데이터 액세스 시간)은 상기 전압차이 (VD)를 만드는데 필요한 시간에 의하여 결정된다. 여기서 상기 전압차이(VD)는 반도체 장치의 마진(margin)을 나타낸다.
- <56> 딥 서브마이크론 기술을 이용하여 트랜지스터를 제조하는 경우, 상기 트랜지스터의 문턱 전압이 감소하면 온 전류(I_{dsat})가 증가하는 동시에 오프 전류(I_{off})도 증가한다.
- <57> 따라서 고온 및 패스트 공정에서는 오프 전류(I_{off})가 온 전류(I_{dsat})보다 상대적으로 더 많이 증가하므로, 상기 전압차이(VD)를 만들기 위한 시간은 증가한다. 따라서 고온 및 패스트 공정으로 제조된 트랜지스터를 구비하는 반도체 장치의 마진은 저하된다.
- <58> 도 3은 도 2에 도시된 감지 증폭기 드라이버의 입출력 파형을 나타내는 타이밍 도이다. 도 3을 참조하면, 시간(T)은 워드라인(WL1)이 활성화된 후 감지 증폭기 인에이블 신호(SENSE)가 활성화되기까지 소요되는 시간을 나타낸다. 상기 시간(T)은 반도체 장치의 제조사가 정하는 것으로 그 시간은 일정하다.
- <59> 예컨대 100mV의 전압차이(VD)가 발생하는데 필요한 시간(T)이 100ms라고 가정하면, 오프 전류(I_{off})의 증가로 인하여 100mV의 전압차이(VD)가 발생하는데 필요한 시간이 150ms로 증가하는 경우라도 감지 증폭기 인에이블 신호(SENSE)는 워드라인(WL1)이 활성화된 후 100ms후에 무조건 활성화된다.

- <60> 따라서 비트라인(BL)의 전압(V_{BL})과 상보 비트라인(BLB)의 전압(V_{BLB})이 충분히 이벨류에이션(evaluation)되지 않은 상태에서 감지 증폭기(270)가 활성화되므로, 감지 증폭기(270)는 비트라인(BL)상의 데이터 및 상보 비트라인(BLB)상의 데이터를 정확하게 검출하지 못할 수 있다. 따라서 감지 증폭기(270)의 성능이 저하될 수 있다.
- <61> 도 4는 도 2에 도시된 감지 증폭기 드라이버의 블록도이다. 도 4를 참조하면, 감지 증폭기 드라이버(250)는 다수개의 인버터들(251 내지 258)이 직렬로 접속되고, 클락신호(CK)를 버퍼링하여 감지 증폭기 인에이블 신호(SENSE)를 발생한다.
- <62> 여기서 각 인버터(253 및 255)는 각 입력단으로 입력되는 입력신호를 소정시간 지연시키고, 지연된 신호를 각 출력단으로 출력한다. 상기 지연시간은 각 인버터(253 및 255)를 제조하는 시점에서 정해진다.
- <63> 도 5는 도 4에 도시된 각 인버터(253 및 255)의 구체적인 회로도이다. 도 4 및 5를 참조하면, 입력신호(ck')는 PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)의 각 게이트로 입력되고, 전원전압(VDD)과 접지전압(VSS)사이에는 다수개의 트랜지스터들(P1, N1, N2, N3, 및 N4)이 직렬로 접속된다.
- <64> 또한, 전원전압(VDD)은 NMOS 트랜지스터들(N2, N3 및 N4)의 게이트로 입력된다. NMOS 트랜지스터로 구현되는 각 커패시터(C1 및 C2)는 인버터(253)의 출력단(NOD)에 접속된다. 따라서 지연시간은 직렬로 접속된 NMOS 트랜지스터들(N2, N3 및 N4)에 의한 턴-온 저항값과 커패시터들(C1 및 C2)에 의한 커패시턴스에 의하여 결정된다.

- <65> 도 6은 본 발명에 따른 감지 증폭기 드라이버를 구비하는 반도체 장치의 블록도이다. 도 6을 참조하면, 반도체 장치(500)는 메모리 셀 어레이(201), 지연 제어신호 발생회로(530), 감지 증폭기 드라이버(550) 및 감지 증폭기(570)를 구비한다.
- <66> 메모리 셀 어레이(201)의 구조 및 동작은 도 2에 도시된 메모리 셀 어레이 (201)의 구조 및 동작과 동일하다. 메모리 셀 어레이(201)는 설명의 편의를 위하여 하나의 비트라인(BL)과 하나의 상보 비트라인(BLB)에 접속된 메모리 셀들만 도시한다. 여기서 메모리 셀들 각각은 인버터들로 구성되는 저장회로들(505-1 내지 505-n)로 구현된다.
- <67> 지연 제어신호 발생회로(530)는 더미 비트라인(DBL), 상보 더미 비트라인 (DBLB), 다수개의 더미 워드라인들(DWL1 내지 DWLn), 다수개의 게이트 트랜지스터들(501-1 내지 501-n, 509-1 내지 509-n), 및 다수개의 저장회로들(505-1 내지 505-n)을 구비한다.
- <68> 다수개의 더미 워드라인들(DWL1 내지 DWLn)각각은 접지전압에 접속된다. 그리고 더미 비트라인(DBL)과 상보 더미 비트라인(DBLB)은 반도체 장치(500)가 프리차지 동작을 하는 경우 전원전압(VDD)으로 프리차지된다.
- <69> 각 노드(503-1 내지 503-n)는 접지전압(VSS)에 접속되고, 각 노드(507-1 내지 507-n)의 전압은 전원전압(VDD)과 같고, 다수개의 게이트 트랜지스터들(501-1 내지 501-n)각각을 통하여 흐르는 각 오프 전류(I_{off})는 동일하다고 가정한다.
- <70> 다수개의 게이팅 트랜지스터들(501-1 내지 501-n)각각의 게이트는 대응되는 각 더미 워드라인(DWL1, DWL2, DWL3, ..., DWLn)에 접속되고 상기 다수개의 게이팅 트랜지스터들(501-1 내지 501-n)각각의 제1전극은 더미 비트라인(DBL)에 접속된다.

- <71> 더미 비트라인(DBL)의 전압(V_{DBL})은 다수개의 게이팅 트랜지스터들(501-1 내지 501-n) 각각을 흐르는 오프 전류(I_{off})의 합에 의한 전압강하에 따라 결정된다. 즉, 더미 비트라인(DBL)의 전압(V_{DBL})은 수학적 식 4와 같이 표현된다.
- <72> 【수학적 식 4】 $V_{DBL} = V_{DD} - \Delta V_3$
- <73> 여기서 ΔV_3 은 다수개의 게이트 트랜지스터들(501-1 내지 501-n) 각각을 통하여 흐르는 오프 전류(I_{off})의 합에 의한 전압강하를 나타낸다. ΔV_3 은 ΔV_2 에 실질적으로 동일하거나 비슷한 것이 바람직하다. 더미 비트라인(DBL)의 전압(V_{DBL})은 제어전압 또는 지연 제어신호(DCTR)라 한다.
- <74> 감지 증폭기 드라이버(550)는 클락신호(CK)를 수신하고, 상기 제어전압(DCTR)에 따라 감지 증폭기 인에이블 신호(NSENSE)의 활성화시점을 제어한다. 즉, 감지 증폭기 드라이버(550)는 클락신호(CK)를 수신하고, 상기 제어전압(DCTR)에 따라 상기 클락신호(CLK)의 버퍼링 시간을 조절하고, 감지 증폭기 인에이블 신호(NSENSE)를 출력한다.
- <75> 감지 증폭기(570)는 감지 증폭기 인에이블 신호(NSENSE)에 응답하여 메모리 셀 어레이(201)의 제1메모리 블록(210)에 저장된 데이터를 감지하고 증폭한다.
- <76> 도 7은 도 6에 도시된 감지 증폭기 드라이버의 입출력 파형을 나타내는 타이밍 도이다. 도 6 및 도 7을 참조하면, 감지 증폭기 드라이버(550)는 워드라인(WL1)이 활성화된 후, 소정의 기간이 경과된 후, 활성화된 감지 증폭기 인에이블 신호(NSENSE)를 출력한다. 여기서 ΔT 는 지연 제어신호(DCTR)의 크기에 따라 가변되는 지연시간을 나타낸다.
- <77> 예컨대 100mv의 전압차이(VD)가 발생되는데 필요한 시간(T)이 100ms라고 가정하면, 오프 전류(I_{off})의 증가로 인하여 100mv의 전압차이(VD)가 발생되는데 필요한 시간이 150ms로 증가

하면, 본 발명에 따른 감지 증폭기 드라이버는 워드라인(WL1)이 활성화된 후 150ms 후에 감지 증폭기 인에이블 신호(NSENSE)를 활성화된다.

<78> 따라서 비트라인(BL)의 전압(V_{BL})과 상보 비트라인(BLB)의 전압(V_{BLB})이 충분히 이벨류에이션(evaluation)된 후 감지 증폭기(570)가 활성화되므로, 감지 증폭기 (270)는 비트라인(BL)상의 데이터 및 상보 비트라인(BLB)상의 데이터를 정확하게 검출할 수 있다.

<79> 도 8은 도 6에 도시된 지연 제어신호 발생회로의 실시예를 나타내는 회로도이다. 도 8을 참조하면, 지연 제어신호 발생회로(530)는 β 비(채널의 폭/채널의 길이)가 상당히 큰 하나의 트랜지스터(533)로 구현된다. 트랜지스터(533)의 게이트 및 제2전극은 접지전압(VSS)에 접속되고, 트랜지스터(533)의 제1전극은 지연 제어신호(DCTR)를 발생한다.

<80> 상기 제1전극의 전압은 비트라인(BL)의 전압(V_{BL}) 또는 더미 비트라인(DBL)의 전압(V_{DBL})과 동일하게 설계되는 것이 바람직하다.

<81> 도 9는 도 6에 도시된 감지 증폭기 드라이버의 제1실시예를 나타내는 회로도이다. 도 9를 참조하면, 감지 증폭기 드라이버(550)는 직렬로 접속된 다수개의 인버터들(551, 553, 555 및 557)을 구비한다. 다수개의 인버터들은 짝수개 인 것이 바람직하다.

<82> 감지 증폭기 드라이버(550)는 클락신호(CK)를 수신하고, 지연 제어신호 (DCTR)의 전압에 따라 상기 클락신호(CLK)를 버퍼링하는 시간을 조절하고, 그 버퍼링 결과로서 발생된 감지 증폭기 인에이블 신호(NSENSE)를 출력한다.

<83> 인버터(551)는 전원전압(VDD)과 접지전압(VSS)사이에 직렬로 접속되는 하나의 PMOS 트랜지스터(551-1)와 하나의 NMOS 트랜지스터(551-2)로 구성된다.

- <84> 인버터(553)는 하나의 PMOS 트랜지스터(553-1)와 하나의 NMOS 트랜지스터 (553-2)로 구현되고, 각 MOS트랜지스터(553-1, 553-2)의 게이트는 인버터(551)의 출력단(551-3)에 접속된다.
- <85> 지연 제어신호(DCTR)는 풀-업 트랜지스터(553-1)의 소오스로 입력된다. 따라서 출력단 (553-3)의 풀-업 레벨은 지연 제어신호(DCTR)에 의하여 결정된다. 즉 인버터(553)의 출력신호는 제어전압(DCTR)과 접지전압(VSS)사이를 스윙한다. 제어전압(DCTR)은 적어도 하나의 트랜지스터에 흐르는 오프 전류(또는, 오프 상태의 상기 적어도 하나의 트랜지스터에 흐르는 누설전류)의 양에 반비례한다.
- <86> 인버터(555)는 버퍼링 시간을 조절하는 기능을 한다. 각 MOS트랜지스터(555-1, 555-2)의 게이트는 인버터(553)의 출력단(555-3)에 접속된다. 지연 제어신호 (DCTR)는 직렬로 접속된 NMOS 트랜지스터들(555-4, 555-5, 555-6)의 각 게이트로 입력되므로, 직렬로 접속된 NMOS 트랜지스터들(555-4, 555-5, 555-6)을 흐르는 온 전류는 지연 제어신호(DCTR)에 의하여 결정된다.
- <87> 각 커패시터(C1, C2)는 출력단(555-3)과 접지전압(VSS)사이에 접속된다. 각 커패시터 (C1, C2)는 NMOS 트랜지스터로 구현될 수 있다. 따라서 인버터(555)의 시정수(time constant)는 직렬로 접속된 NMOS 트랜지스터들(555-4, 555-5, 555-6)에 의하여 결정된 터-온 저항값과 커패시터들(C1, C2)에 의하여 결정되는 커패시턴스에 의하여 결정된다. 따라서 인버터(555)는 지연 제어신호(DCTR)에 응답하여 인버터(555)로 입력되는 신호의 버퍼링 시간을 조절할 수 있다.
- <88> 인버터(557)는 전원전압(VDD)과 접지전압(VSS)사이에 직렬로 접속되는 하나의 PMOS 트랜지스터(557-1)와 하나의 NMOS 트랜지스터(557-2)로 구성된다. MOS트랜지스터(557-1, 557-2)의

각 게이트 인버터(555)의 출력단(555-3)에 접속된다. 인버터(557)의 출력단(557-3)의 신호가 감지 증폭기 인에이블 신호(NSENSE)이다.

<89> 도 10은 도 6에 도시된 감지 증폭기 드라이버의 제2실시예를 나타내는 회로도이다. 도 10을 참조하면, 감지 증폭기 드라이버(550)는 직렬로 접속된 다수개의 인버터들(810 내지 880)을 구비한다.

<90> 감지 증폭기 드라이버(550)는 클락신호(CK)를 수신하고, 지연 제어신호 (DCTR)에 응답하여 상기 클락신호(CK)를 소정시간 지연시키고, 그 결과로서 발생된 감지 증폭기 인에이블 신호(NSENSE)를 출력한다.

<91> 인버터(810)는 전원전압(VDD)과 접지전압(VSS)사이에 직렬로 접속되는 하나의 PMOS 트랜지스터(811)와 하나의 NMOS 트랜지스터(813)로 구성되고, 클락신호(CK)는 각 MOS 트랜지스터(811, 813)의 게이트로 입력된다. 인버터(810)는 전원전압(VDD)과 접지전압(VSS)사이를 스윙하는 출력신호를 출력한다.

<92> 인버터(820)는 전원전압(VDD)과 접지전압(VSS)사이에 직렬로 접속되는 하나의 PMOS 트랜지스터(821)와 하나의 NMOS 트랜지스터(823)로 구성되고, 각 MOS 트랜지스터(821, 823)의 게이트는 인버터(810)의 출력단(815)에 접속된다. 인버터(820)는 전원전압(VDD)과 접지전압(VSS)사이를 스윙하는 출력신호를 출력한다.

<93> 인버터(830)는 전원전압(VDD)과 접지전압(VSS)사이에 직렬로 접속되는 다수개의 MOS트랜지스터들(831, 833, 834, 835, 836)을 구비한다.

- <94> 각 MOS 트랜지스터(831, 833)의 게이트는 인버터(820)의 출력단(825)에 접속되고, PMOS 트랜지스터(831)는 전원전압(VDD)과 출력단(832)사이에 접속되고, NMOS 트랜지스터(833)는 출력단(832)과 NMOS 트랜지스터(834)의 드레인에 접속된다.
- <95> 지연 제어신호(DCTR)는 각 NMOS 트랜지스터(834, 835, 836)의 게이트로 입력되고, 각 NMOS 트랜지스터(834, 835, 836)에 흐르는 온 전류는 지연 제어신호 (DCTR)에 따라 결정된다.
- <96> 각 커패시터(837, 838)는 출력단(832)과 접지전압사이에 접속되고, 각 커패시터(837, 838)는 NMOS 트랜지스터로 구현 될 수 있다.
- <97> 따라서 인버터(830)의 지연량은 직렬로 접속된 NMOS 트랜지스터들(834, 835, 836)에 의하여 결정된 저항값과 커패시터들(837, 838)에 의하여 결정되는 커패시턴스에 의하여 결정된다. 인버터(830)는 전원전압(VDD)과 접지전압(VSS)사이를 스윙하는 출력신호를 출력한다 .
- <98> 인버터(840)는 직렬로 접속된 하나의 PMOS 트랜지스터(841)와 하나의 NMOS 트랜지스터(843)로 구현된다. 각 MOS 트랜지스터(841, 843)의 게이트는 인버터 (830)의 출력단(8632)에 접속되고, 지연 제어신호(DCTR)는 PMOS 트랜지스터(841)의 소오스로 입력되고, NMOS 트랜지스터(843)는 출력단(842)과 접지전압사이에 접속된다.
- <99> 인버터(850)는 전원전압(VDD)과 접지전압(VSS)사이에 직렬로 접속되는 다수개의 MOS트랜지스터들(851, 853, 854, 855, 856)을 구비한다.
- <100> 각 MOS 트랜지스터(851, 853)의 게이트는 인버터(840)의 출력단(842)에 접속되고, PMOS 트랜지스터(851)는 전원전압(VDD)과 출력단(852)사이에 접속되고, NMOS 트랜지스터(853)는 출력단(852)과 NMOS 트랜지스터(854)의 드레인에 접속된다.

- <101> 지연 제어신호(DCTR)는 각 NMOS 트랜지스터(854, 855, 856)의 게이트로 입력되고, 각 NMOS 트랜지스터(854, 855, 856)에 흐르는 온 전류는 지연 제어신호 (DCTR)에 따라 결정된다.
- <102> 각 커패시터(857, 858)는 출력단(852)과 접지전압사이에 접속되고, 각 커패시터(857, 858)는 NMOS 트랜지스터로 구현 될 수 있다.
- <103> 따라서 인버터(850)의 지연량은 직렬로 접속된 NMOS 트랜지스터들(834, 835, 836)에 의하여 결정된 저항값과 커패시터들(837, 838)에 의하여 결정되는 커패시턴스에 의하여 결정된다. 인버터(830)는 전원전압(VDD)과 접지전압(VSS)사이를 스윙하는 출력신호를 출력한다.
- <104> 인버터(860)는 직렬로 접속된 하나의 PMOS 트랜지스터(861)와 하나의 NMOS 트랜지스터(863)로 구현된다. 각 MOS 트랜지스터(861, 863)의 게이트는 인버터 (830)의 출력단(8632)에 접속되고, 지연 제어신호(DCTR)는 PMOS 트랜지스터(841)의 소오스로 입력되고, NMOS 트랜지스터(843)는 출력단(842)과 접지전압사이에 접속된다.
- <105> 인버터(870)의 입력단은 인버터(860)의 출력단(dck4)에 접속되고, 인버터 (880)는 인버터(870)의 출력신호를 반전시켜 감지 증폭기 인에이블 신호(NSENSE)를 출력한다.
- <106> 도 11은 일반적인 NMOS 트랜지스터의 V_{ds}/V_{gs} 의 변화에 따른 온 전류의 변화를 나타내는 그래프이다. 도 11을 참조하면, 트랜지스터의 드레인과 소오스사이의 전압(V_{ds})이 일정한 경우, 상기 트랜지스터의 게이트와 소오스사이의 전압(V_{gs})이 감소할수록 온 전류(I_{dsat})는 감소한다.

- <107> 도 6, 도 10 및 도 11을 참조하면, 오프 전류(I_{off})가 작은 경우, 전원전압(VDD)레벨을 갖는 더미 비트라인(DBL)의 전압(V_{DBL})이 각 인버터(840, 860)의 출력단(842, 862)으로 그대로 전달된다.
- <108> 그러나 오프 전류(I_{off})가 큰 경우, $(VDD - \Delta V3)$ 값을 갖는 더미 비트라인 (DBL)의 전압(V_{DBL})이 각 인버터(840, 860)의 출력단(842, 862)으로 그대로 전달된다. 이 경우 감지 증폭기 드라이버(550)의 지연량을 결정하는 직렬로 접속된 다수개의 트랜지스터들(834, 835, 836)의 각 게이트로 공급되는 전압도 전원전압보다 낮아진다.
- <109> 따라서 도 11에 도시된 바와 같이 직렬로 접속된 다수개의 트랜지스터들 (834, 835, 836)을 흐르는 온 전류(I_{dsat})가 감소하므로, 감지 증폭기 드라이버 (550)의 지연량도 증가한다.
- <110> 도 12는 종래의 감지 증폭기 드라이버의 각 노드의 파형과 본 발명의 실시예에 따른 감지 증폭기 드라이버의 각 노드의 파형을 나타낸다.
- <111> (a)는 도 4에 도시된 감지 증폭기 드라이버(250)의 각 노드의 파형을 나타낸다. (b)는 도 10에 도시된 감지 증폭기 드라이버(250)의 각 노드의 파형을 나타낸다.
- <112> (a) 및 (b)을 참조하여 오프 전류(I_{off})가 큰 경우를 설명하면 다음과 같다. B를 보면, 더미 비트라인(DBL)의 전압(V_{DBL})이 $(VDD - \Delta V3)$ 를 유지하고 있기 때문에 인버터(860)의 출력 신호(dck4)는 전원전압(VDD)까지 올라가지 못한다.
- <113> 그리고 A'는 지연제어신호 발생회로(530) 및 감지 증폭기 드라이버(550)에 의하여 A가 지연되어 발생됨을 나타낸다.

- <114> (c)는 도 2에 도시된 비트 라인의 전압(VBL)과 상보 비트 라인의 전압(VBLB)의 파형 및 도 6에 도시된 비트 라인의 전압(VBL')과 상보 비트 라인의 전압 (VBLB')의 파형을 나타낸다.
- <115> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

- <116> 상술한 바와 같이 본 발명에 따른 감지 증폭기 드라이버는 오프 전류의 크기에 따라 감지 증폭기 인에이블 신호의 활성화 시점을 제어할 수 있으므로 메모리 마진이 증가되는 효과가 있다.
- <117> 본 발명에 따른 감지 증폭기 드라이버는 오프 전류의 크기에 따라 감지 증폭기 인에이블 신호의 활성화 시점을 제어할 수 있으므로, 상기 감지 증폭기 인에이블 신호에 응답하여 활성화되는 감지 증폭기의 성능을 향상시킬 수 있다.
- <118> 본 발명에 따른 감지 증폭기 드라이버를 구비하는 메모리 장치의 성능이 향상된다.

【특허청구범위】**【청구항 1】**

감지 증폭기를 인에이블시키기 위한 인에이블 신호를 출력하는 감지 증폭기 드라이버에 있어서,

입력신호를 수신하고, 비활성화된 메모리 블록에 존재하는 적어도 하나의 트랜지스터에 흐르는 오프 전류의 양에 의하여 결정되는 제어전압과 접지전압사이를 스윙하는 출력신호를 출력하는 제1인버터; 및

상기 제1인버터의 출력신호를 수신하고, 상기 제1인버터의 출력신호를 상기 제어전압의 레벨에 반비례하는 시간만큼 지연시켜 버퍼링하는 제2인버터를 구비하는 것을 특징으로 하는 감지 증폭기 드라이버.

【청구항 2】

제1항에 있어서,

상기 인에이블 신호의 활성화시점은 상기 제어전압의 레벨에 따라 가변되는 것을 특징으로 하는 감지 증폭기 드라이버.

【청구항 3】

제1인버터 및 제2인버터를 구비하는 감지 증폭기 드라이버에 있어서,

상기 제1인버터는,

입력신호를 수신하는 게이트, 비활성화된 메모리 블록에 존재하는 적어도 하나의 트랜지스터에 흐르는 오프 전류의 양에 반비례하는 제어전압을 수신하는 제1전극 및 상기 제1인버터의 출력단에 접속되는 제2전극을 구비하는 제1풀-업 트랜지스터; 및

상기 입력신호를 수신하는 게이트, 접지전압에 접속되는 제1전극 및 상기 출력단에 접속되는 제2전극을 구비하는 제2풀-다운 트랜지스터를 구비하며,

상기 제2인버터는,

상기 제1인버터의 출력단에 접속되는 게이트, 전원전압에 접속되는 제1전극 및 상기 제2인버터의 출력단에 접속되는 제2전극을 구비하는 제2풀-업 트랜지스터;

상기 제1인버터의 출력단에 접속되는 게이트, 제1전극 및 상기 제2인버터의 출력단에 접속되는 제2전극을 구비하는 제2풀-다운 트랜지스터;

상기 제1인버터의 상기 제1풀-업 트랜지스터의 제1전극에 접속되는 게이트, 상기 접지전압에 접속되는 제1전극 및 상기 제2풀-다운 트랜지스터의 제1전극에 접속되는 제2전극을 구비하는 제1트랜지스터; 및

상기 제2인버터의 출력단과 상기 접지전압 사이에 접속되는 커패시터를 구비하는 것을 특징으로 하는 감지 증폭기 드라이버.

【청구항 4】

제3항에 있어서, 상기 감지 증폭기 드라이버는,

상기 제2풀-다운 트랜지스터의 제1전극과 상기 제1트랜지스터의 제2전극사이에 접속되는 제2트랜지스터를 더 구비하며,

상기 제2트랜지스터의 게이트는 상기 제1번째 인버터의 제1전극에 접속되는 것을 특징으로 하는 감지 증폭기 드라이버.

【청구항 5】

제4항에 있어서, 감지 증폭기를 인에이블시키기 위한 감지 증폭기 인에이블 신호는 상기 제2인버터의 출력단으로부터 출력되는 것을 특징으로 하는 감지 증폭기 드라이버.

【청구항 6】

감지 증폭기 드라이버에 있어서,

직렬로 접속된 N (여기서 N 은 자연수)개의 인버터들을 구비하며,

상기 N 개의 인버터들 중에서 $(n-1)$; 여기서 n 은 2보다 큰 자연수)번째 인버터는,

입력신호를 수신하는 게이트, 다수개의 트랜지스터들 각각을 흐르는 오프 전류의 양에 의하여 결정되는 제어전압을 수신하는 제1전극 및 상기 $(n-1)$ 번째 인버터의 출력단에 접속되는 제2전극을 구비하는 제1풀-업 트랜지스터; 및

상기 입력신호를 수신하는 게이트, 접지전압에 접속되는 제1전극 및 상기 $(n-1)$ 번째 인버터의 출력단에 접속되는 제2전극을 구비하는 제2풀-다운 트랜지스터를 구비하며,

상기 N 개의 인버터들 중에서 n 번째 인버터는,

상기 $(n-1)$ 번째 인버터의 출력단에 접속되는 게이트, 전원전압에 접속되는 제1전극 및 상기 n 번째 인버터의 출력단에 접속되는 제2전극을 구비하는 제2풀-업 트랜지스터;

상기 $(n-1)$ 번째 인버터의 출력단에 접속되는 게이트, 제1전극 및 상기 n 번째 인버터의 출력단에 접속되는 제2전극을 구비하는 제2풀-다운 트랜지스터;

상기 제1풀-업 트랜지스터의 제1전극에 접속되는 게이트, 상기 접지전압에 접속되는 제1전극 및 상기 제2풀-다운 트랜지스터의 제1전극에 접속되는 제2전극을 구비하는 제1트랜지스터; 및

상기 n 번째 인버터의 출력단과 상기 접지전압 사이에 접속되는 커패시터를 구비하는 것을 특징으로 하는 감지 증폭기 드라이버.

【청구항 7】

제6항에 있어서,

상기 N 개의 인버터들 중에서 $(n-2)$ 번째 인버터는 클락신호를 반전시켜 상기 입력신호를 발생하고,

상기 N 개의 인버터들 중에서 $(n+1)$ 번째 인버터는 상기 n 번째 인버터의 출력단에 접속되는 것을 특징으로 하는 것을 특징으로 하는 감지 증폭기 드라이버.

【청구항 8】

제6항에 있어서, 상기 감지 증폭기 드라이버는,

상기 제2풀-다운 트랜지스터의 제1전극과 상기 제1트랜지스터의 제2전극사이에 접속되는 제2트랜지스터를 더 구비하며,

상기 제2트랜지스터의 게이트는 상기 $(n-1)$ 번째 인버터의 제1전극에 접속되는 것을 특징으로 하는 감지 증폭기 드라이버.

【청구항 9】

메모리 장치에 있어서,

다수개의 메모리 셀들을 구비하는 메모리 셀 어레이;

적어도 하나의 트랜지스터에 흐르는 오프 전류의 양에 따라 결정되는 전압을 갖는 지연 제어신호를 발생하는 지연제어신호 발생회로;



클락신호를 수신하고, 상기 지연 제어신호의 전압에 따라 상기 클락신호를 버퍼링하는 시간을 조절하고, 그 조절결과로서 감지 증폭기 인에이블 신호를 출력하는 감지 증폭기 드라이버; 및

상기 감지 증폭기 인에이블 신호에 응답하여 상기 메모리 셀 어레이의 데이터를 감지하고 증폭하는 감지 증폭기를 구비하는 메모리 장치.

【청구항 10】

제9항에 있어서, 상기 감지 증폭기 드라이버는,

상기 클락신호를 수신하고, 상기 오프 전류의 양에 따라 결정되는 전압과 접지전압사이를 스윙하는 출력신호를 출력하는 제1인버터; 및

상기 제1인버터의 출력신호를 수신하고, 상기 제1인버터의 출력신호를 상기 오프 전류의 양에 따라 결정되는 전압의 레벨에 반비례하는 시간만큼 지연시켜 버퍼링하는 제2인버터를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 11】

제9항에 있어서,

상기 클락신호의 지연량은 상기 지연 제어신호의 전압에 반비례하는 것을 특징으로 하는 메모리 장치.

【청구항 12】

제9항에 있어서, 상기 감지 증폭기 드라이버는,

상기 클락신호를 상기 오프 전류의 양에 반비례하는 전압과 접지전압사이에서 스윙하는 신호로 변환하고 상기 변환된 신호를 출력하는 제1인버터; 및



상기 제1인버터에 접속되고, 상기 오프 전류의 양에 반비례하는 전압에 응답하여 상기 제1인버터의 출력신호를 버퍼링하는 버퍼링 시간을 조절하고, 그 조절결과로서 상기 감지 증폭기 인에이블 신호를 출력하는 제2인버터를 구비하며,

상기 버퍼링시간은 상기 오프 전류의 양에 비례하는 것을 특징으로 하는 메모리 장치.

【청구항 13】

메모리 장치에 있어서,

다수개의 메모리 셀들을 구비하는 메모리 셀 어레이;

소정의 전압으로 프리차지되는 더미 비트라인과 상보 더미 비트라인, 접지전압에 각각 접속된 다수개의 워드라인들, 및 다수개의 게이팅 트랜지스터들을 구비하며, 상기 다수개의 게이팅 트랜지스터들 각각의 게이트는 대응되는 상기 워드라인에 접속되고 상기 다수개의 게이팅 트랜지스터들 각각의 제1전극은 상기 더미 비트라인에 접속되고, 상기 더미 비트라인의 전압은 상기 다수개의 게이팅 트랜지스터들 각각을 흐르는 오프 전류에 의한 전압강하에 따라 결정되는 지연제어신호 발생회로;

클락신호를 수신하고, 상기 더미 비트라인의 전압에 따라 상기 클락신호를 버퍼링하는 시간을 조절하고, 그 조절결과로서 감지 증폭기 인에이블 신호를 출력하는 감지 증폭기 드라이버; 및

상기 감지 증폭기 인에이블 신호에 응답하여 상기 메모리 셀 어레이의 데이터를 감지하고 증폭하는 감지 증폭기를 구비하는 메모리 장치.

【청구항 14】

제13항에 있어서, 상기 클락신호의 지연량은 상기 더미 비트라인의 전압에 반비례하는 것을 특징으로 하는 메모리 장치.

【청구항 15】

제13항에 있어서, 상기 감지 증폭기 드라이버는,

상기 클락신호를 수신하고, 상기 더미 비트라인의 전압과 접지전압사이를 스윙하는 출력신호를 출력하는 제1인버터; 및

상기 제1인버터의 출력신호를 수신하고, 상기 제1인버터의 출력신호를 더미 비트라인의 전압의 레벨에 반비례하는 시간만큼 지연시켜 버퍼링하는 제2인버터를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 16】

메모리 장치에 있어서,

다수개의 메모리 셀들을 구비하는 메모리 셀 어레이;

전원전압으로 프리차지 되는 제1전극, 접지전압에 공통으로 접속되는 게이트와 제2전극을 구비하는 지연제어신호 발생회로;

클락신호를 수신하고, 상기 제1전극의 전압에 따라 상기 클락신호를 버퍼링하는 시간을 조절하고, 그 조절결과로서 감지 증폭기 인에이블 신호를 출력하는 감지 증폭기 드라이버; 및

상기 감지 증폭기 인에이블 신호에 응답하여 상기 메모리 셀 어레이의 데이터를 감지하고 증폭하는 감지 증폭기를 구비하는 메모리 장치.

【청구항 17】

제16항에 있어서, 상기 감지 증폭기 드라이버는,

상기 클락신호를 수신하고, 상기 제1전극의 전압과 접지전압사이를 스윙하는 출력신호를 출력하는 제1인버터; 및

상기 제1인버터의 출력신호를 수신하고, 상기 제1인버터의 출력신호를 상기 제1전극의 전압레벨에 반비례하는 시간만큼 지연시켜 버퍼링하는 제2인버터를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 18】

감지 증폭기를 인에이블시키기 위한 인에이블 신호를 출력하는 방법에 있어서,

입력신호를 수신하고, 비활성화된 메모리 블록에 존재하는 적어도 하나의 트랜지스터에 흐르는 오프 전류의 양에 반비례하는 제어전압과 접지전압사이를 스윙하는 출력신호를 출력하는 단계; 및

상기 출력신호를 수신하고, 상기 출력신호를 상기 제어전압의 레벨에 반비례하는 시간만큼 지연시켜 버퍼링하고, 상기 인에이블 신호를 출력하는 단계를 구비하는 감지 증폭기를 인에이블시키기 위한 인에이블 신호 출력방법.

【청구항 19】

제18항에 있어서,

상기 인에이블 신호의 활성화시점은 상기 제어전압의 레벨에 따라 가변되는 것을 특징으로 하는 감지 증폭기를 인에이블시키기 위한 인에이블 신호 출력방법.

【청구항 20】

데이터 검출방법에 있어서,

적어도 하나의 트랜지스터에 흐르는 오프 전류의 양에 따라 결정되는 전압을 갖는 지연 제어신호를 발생하는 단계;

클락신호를 수신하고, 상기 지연 제어신호의 전압에 따라 상기 클락신호를 버퍼링하는 시간을 조절하고, 그 조절결과로서 감지 증폭기 인에이블 신호를 출력하는 단계; 및

상기 감지 증폭기 인에이블 신호에 응답하여 메모리 셀 어레이의 데이터를 감지하고 증폭하는 단계를 구비하는 데이터 검출 방법.

【청구항 21】

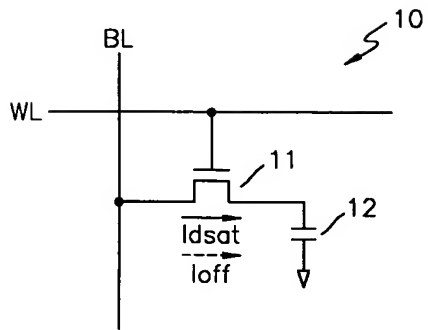
제20항에 있어서, 상기 감지 증폭기 인에이블 신호를 출력하는 단계는,

상기 클락신호를 수신하고, 상기 오프 전류의 양에 따라 결정되는 전압과 접지전압사이를 스윙하는 출력신호를 출력하는 단계; 및

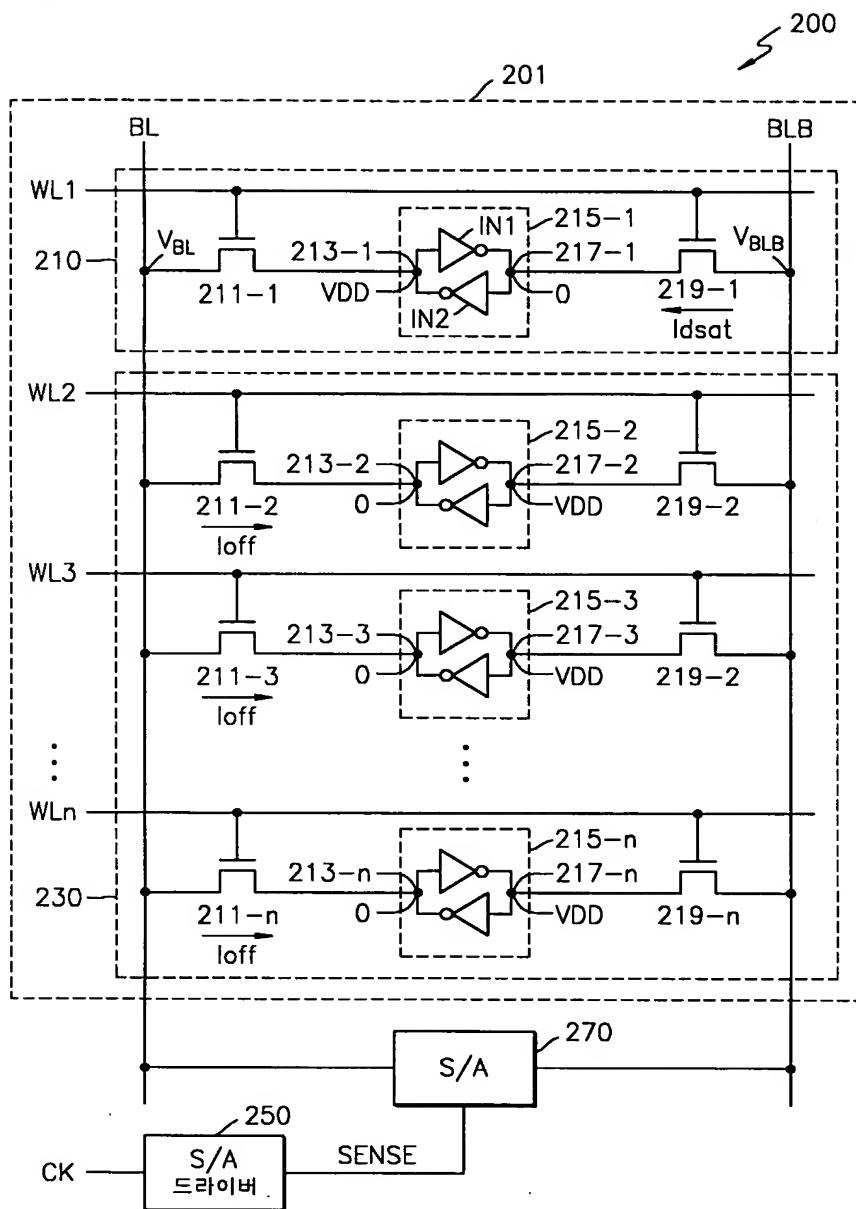
상기 출력신호를 수신하고, 상기 출력신호를 상기 오프 전류의 양에 따라 결정되는 전압의 레벨에 반비례하는 시간만큼 지연시켜 버퍼링하고, 그 버퍼링 결과로서 상기 감지 증폭기 인에이블 신호를 출력하는 단계를 구비하는 것을 특징으로 데이터 검출 방법.

【도면】

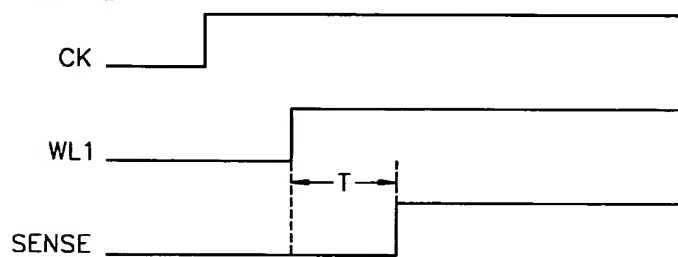
【도 1】



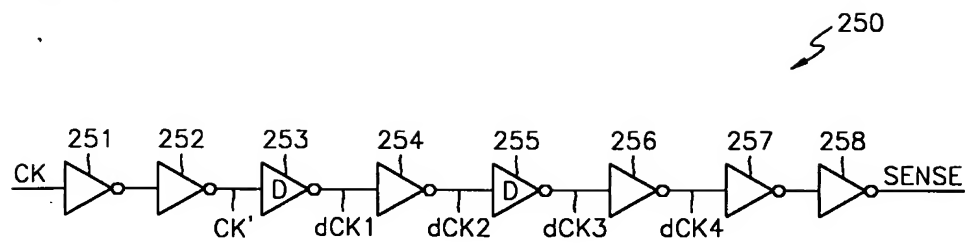
【도 2】



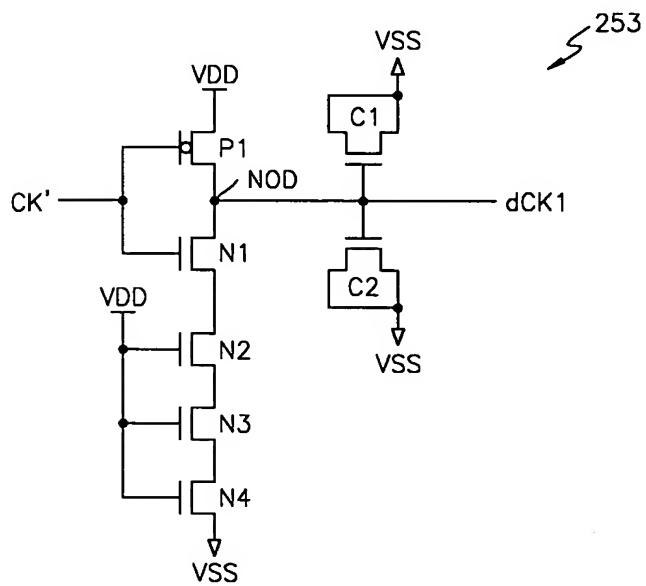
【도 3】

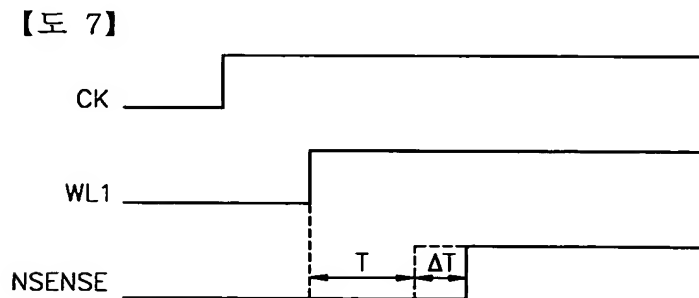
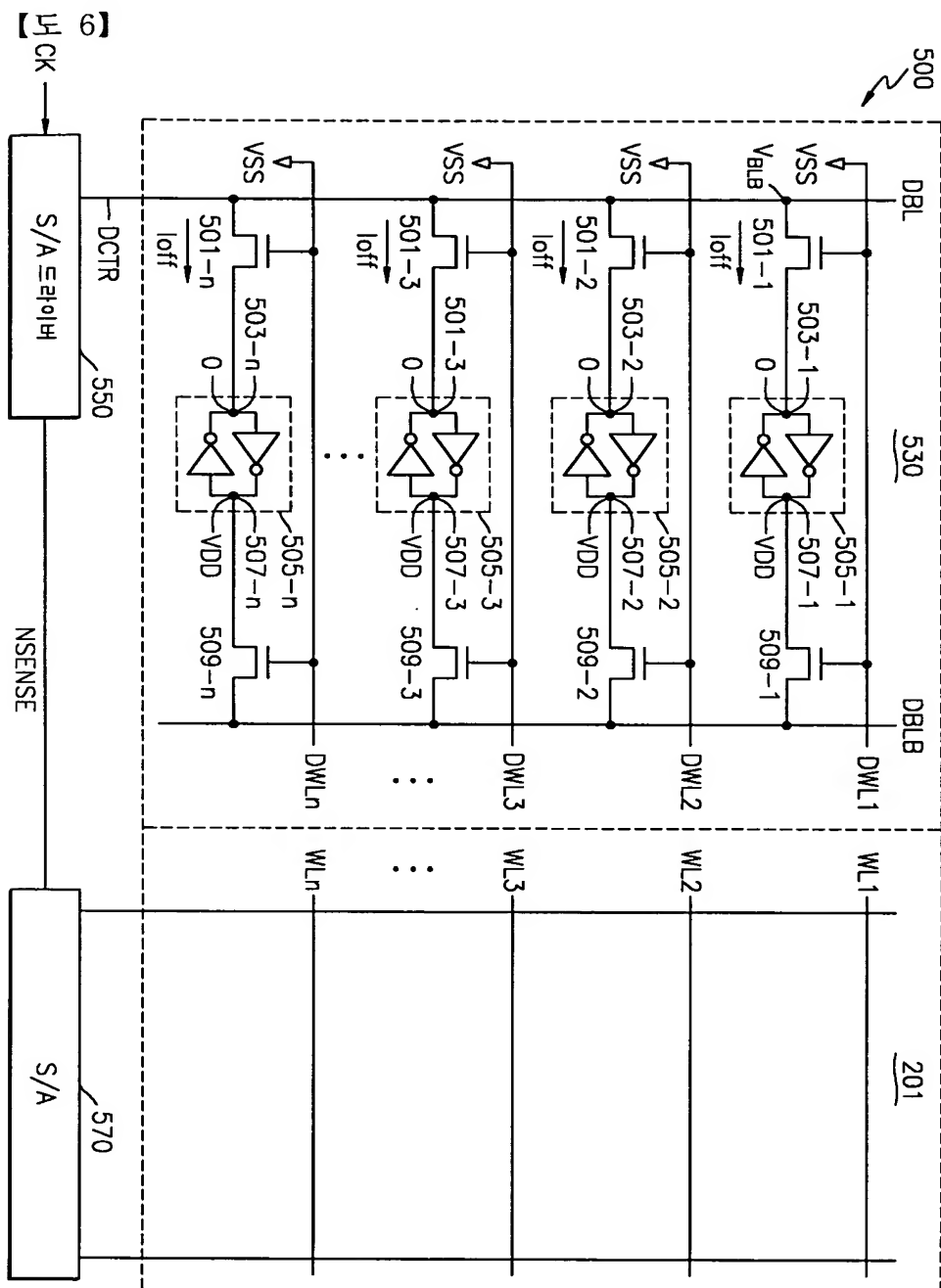


【도 4】



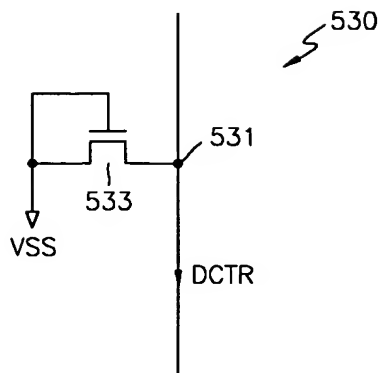
【도 5】



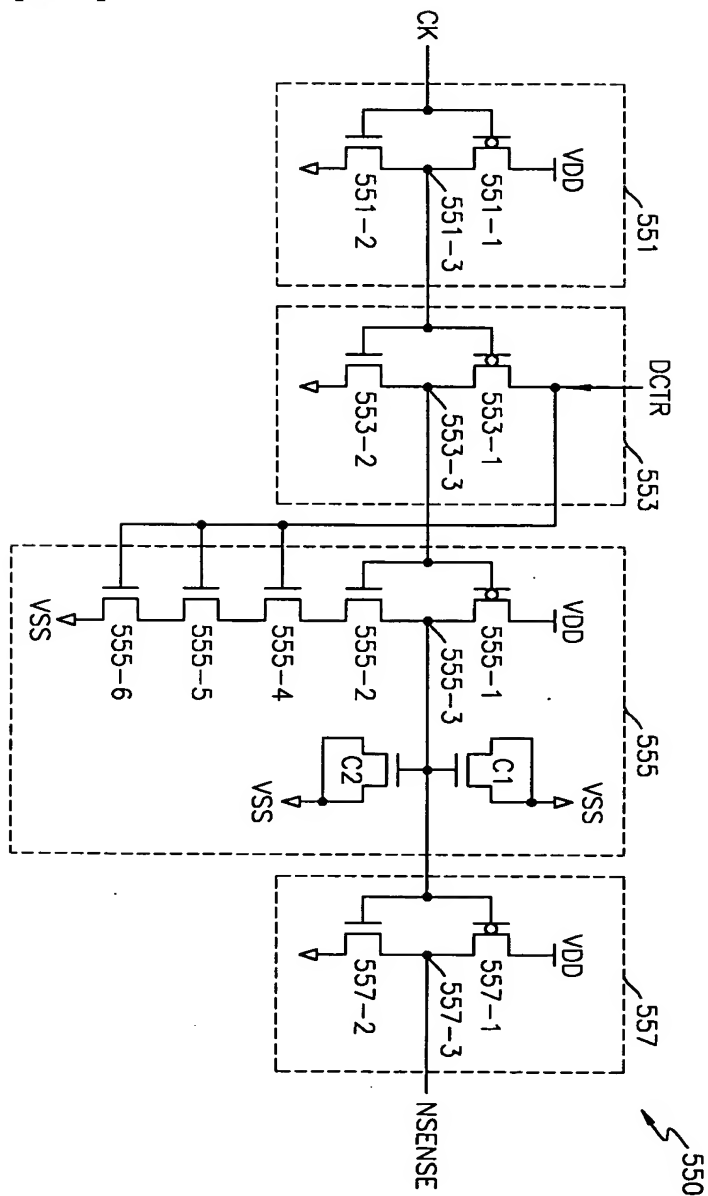




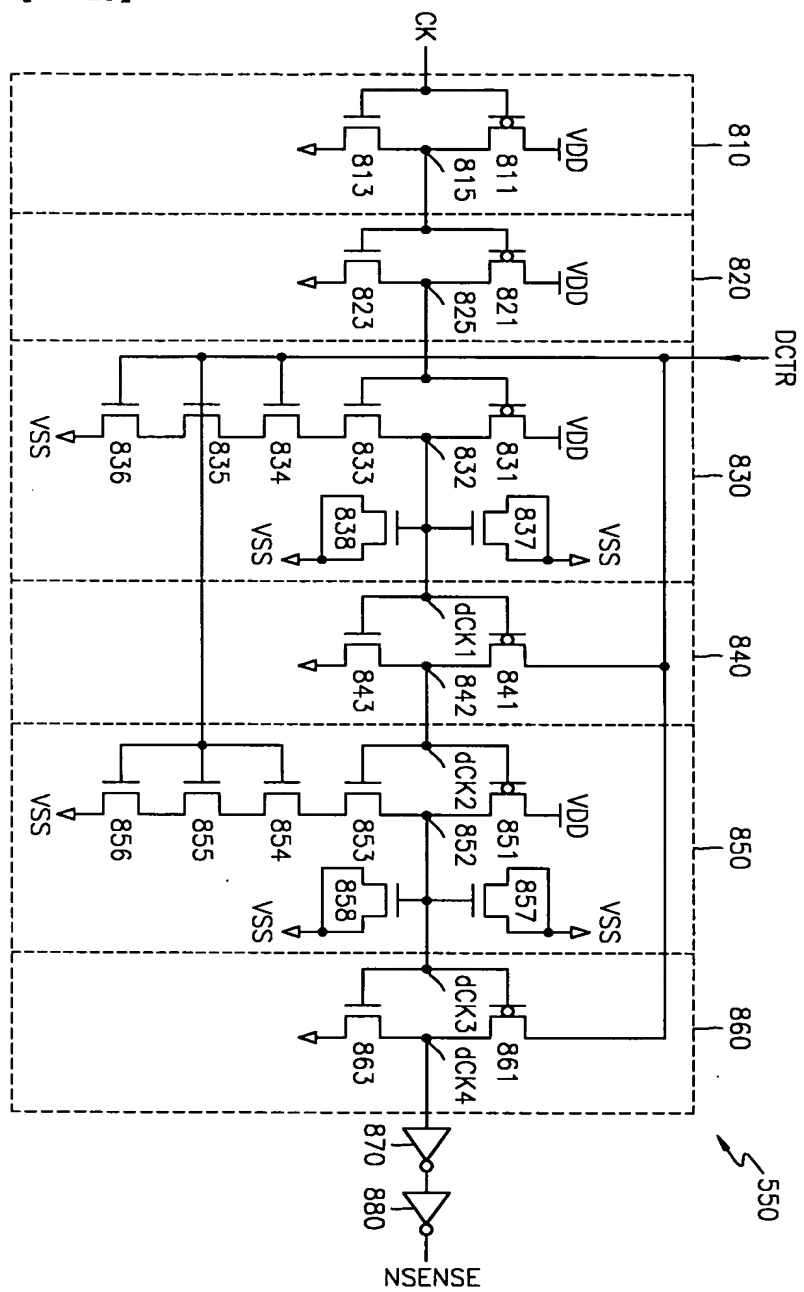
【도 8】



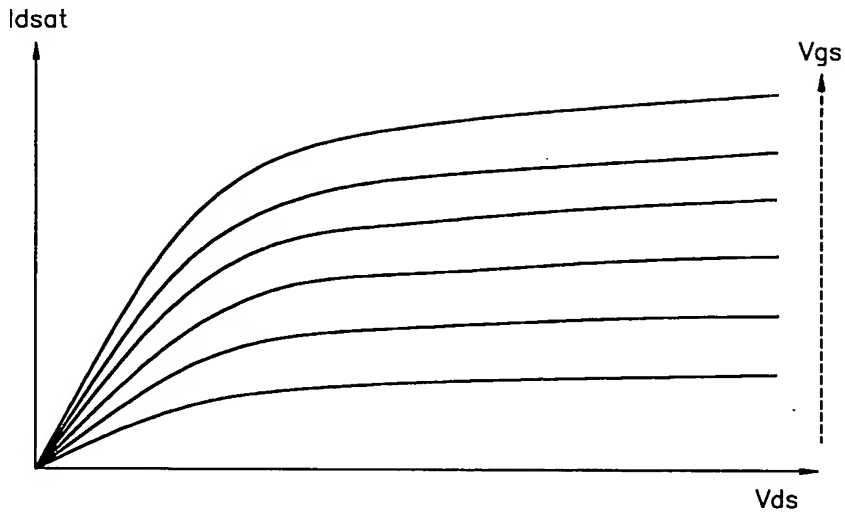
【도 9】



【도 10】



【도 11】



【도 12】

